


DEVICE MANUFACTURING PROCESS

Patent number: JP11097523
Publication date: 1999-04-09
Inventor: CHIYOONNPIN CHIYAN; CHIENNSHIN PAI
Applicant: LUCENT TECHNOL INC
Classification:
- **international:** H01L21/76; H01L21/316
- **european:**
Application number: JP19980216354 19980731
Priority number(s):

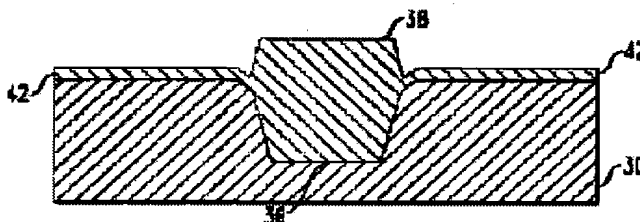
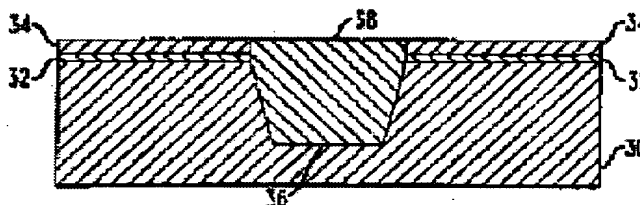
Also published as:

 US6566224 (B1)

Abstract of JP11097523

PROBLEM TO BE SOLVED: To reduce sharp edges which may cause a current leakage in the device by a single oxidation step to round the edges of an Si at points where a trench oxide meets the lower face of a stress-releasing region directly formed on an Si substrate or other region.

SOLUTION: An oxidation barrier region 34 is directly formed on a stress-releasing region 32 to avoid oxidizing a lower Si film during treating later, holes are formed in the film 34 and trenches 36 are formed by etching in an Si substrate 30 and an Si dioxide filler 38 is deposited in the trenches 36. After planarization step, it is oxidized to round the edges of Si at points where the trench Si dioxide 38 meets a pad oxide 32, the barrier region 34 and releasing region 32 are removed to form a gate oxide 42 on an active of the substrate 30, thereby reducing sharp edges which may cause a leakage current or bad edge effect.



Data supplied from the **esp@cenet** database - Worldwide

A translation of a paragraph 0014 in the Document 1(JP11-097523)

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

[0014] As shown in drawing 2 B, using standard lithography technology or other technology of common knowledge to this contractor, puncturing or a gap is specified all over an oxidation obstruction field (34), and an oxidation obstruction field (34) and a distressing field (32) are removed by specified puncturing. Although gap width of face changes depending on a specific device, the width of face measured on the topmost part surface of a silicon substrate (30) is about 0.1 thru/or about 1000 micrometers, when typical. The gap more than 1000-micrometer width of face is also possible. It is possible to form a field (32 34) as a layer and to form alternatively distressing and an oxidation obstruction field (32 34) on the portion of the specification of a silicon substrate (30) unlike removing the field which has a layer next. Once a gap is formed, a slot (36) will be etched into this contractor into a silicon substrate (30) using well-known standard technology. When typical, a slot is measured from the topmost part surface of a silicon substrate (30), and is about 1000nm in about 200 thru/or depth. Since a defect of a certain kind like transition arises and this damage is recovered to some extent in a silicon grid in accordance with the wall of a slot according to the process which etches a slot (36), it is possible to form what oxidizes the wall of a slot and is known as a heat liner (not shown). A heat liner is formed in about 900 thru/or the temperature of about 1100 degrees C by [for about 20 thru/or about 40nm liner thickness to arise / sufficient in the ambient atmosphere of 100% oxygen (desiccation)] carrying out time amount heating.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-97523

(43) 公開日 平成11年(1999) 4月9日

(51) Int.Cl.[°]

H 0 1 L 21/76

21/316

識別記号

F I

H 0 1 L 21/76

21/94

L

N

A

審査請求 未請求 請求項の数15 O L (全 11 頁)

(21) 出願番号

特願平10-216354

(22) 出願日

平成10年(1998) 7月31日

(31) 優先権主張番号

0 8 / 9 0 3 9 7 4

(32) 優先日

1997年7月31日

(33) 優先権主張国

米国 (U S)

(71) 出願人 596092698

ルーセント テクノロジーズ インコーポ
レーテッド

アメリカ合衆国, 07974-0636 ニュージ
ャーシイ, マレイ ヒル, マウンテン ア
ヴェニュー 600

(72) 発明者 チョーンーピン チャン

アメリカ合衆国 07922 ニュージャーク
イ, パークレイ ハイツ, チャウサー ド
ライヴ 215

(74) 代理人 弁理士 岡部 正夫 (外11名)

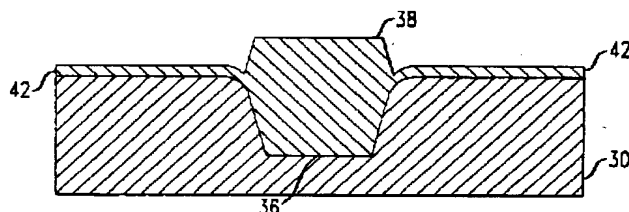
最終頁に続く

(54) 【発明の名称】 デバイス作製プロセス

(57) 【要約】

【課題】 本発明は浅い溝分離を用いるデバイス作製プロセスである。

【解決手段】 本発明のプロセスは、シリコン基板上に、たとえばシリコン窒化物の酸化障壁領域を形成する工程、酸化障壁領域及びシリコン上に堆積させた任意の下の領域中に、開孔を形成する工程、開孔においてシリコン基板中に溝を形成する工程、溝中に二酸化シリコンのような誘電体材料を堆積させる工程、典型的な場合、溝二酸化シリコンを平坦化する工程及びその後酸化工程を行う工程を含む。酸化工程により、層でなければ溝二酸化シリコンがパッド酸化物に会う領域におけるシリコンの鋭い角が、丸くなる。本発明により、漏れ電流の原因となる鋭い角が減少するか除かれる。



【特許請求の範囲】

【請求項1】 シリコン基板上に酸化障壁領域を形成する工程；酸化障壁領域及びシリコン基板上に堆積させた任意の下領域中に、開孔を形成する工程；開孔において、シリコン基板中に溝を形成する工程；溝中に誘電体材料を堆積させる工程；及び堆積工程に続いて酸化を行い、酸化により、溝誘電体材料がシリコン上に直接堆積させた領域に会う領域で、シリコン基板の角に丸みを与える工程を含むデバイス作製プロセス。

【請求項2】 酸化を行う前に、溝誘電体材料を平坦化する工程を更に含む請求項1記載のプロセス。

【請求項3】 シリコン基板上に直接応力解放領域を形成する工程を更に含む請求項1記載のプロセス。

【請求項4】 誘電体材料は二酸化シリコンである請求項1記載のプロセス。

【請求項5】 応力解放領域は二酸化シリコンである請求項1記載のプロセス。

【請求項6】 酸化障壁領域はシリコン窒化物である請求項1記載のプロセス。

【請求項7】 酸化工程は約950℃ないし約1100℃の温度で行われる請求項1記載のプロセス。

【請求項8】 酸化工程は約50ないし約150nmの等価酸化物層を得るのに十分な時間及び温度で行われる請求項1記載のプロセス。

【請求項9】 溝を満たす前に、溝の壁を酸化する工程を更に含む請求項1記載のプロセス。

【請求項10】 開孔の幅は約0.1ないし約1000μmである請求項1記載のプロセス。

【請求項11】 溝は約200ないし約1000nmの深さを有する請求項1記載のプロセス。

【請求項12】 二酸化シリコン応力解放領域は、約5ないし約30nmの厚さを有する請求項5記載のプロセス。

【請求項13】 シリコン窒化物酸化障壁領域は、約60ないし約250nmの厚さを有する請求項6記載のプロセス。

【請求項14】 酸化工程後、溝二酸化シリコンがシリコン上に直接堆積させた領域に会う領域におけるシリコン角は、約30ないし約80nmの曲率半径を有する請求項1記載のプロセス。

【請求項15】 酸化工程後、溝二酸化シリコンがシリコン上に直接堆積させた領域に会う領域におけるシリコン角は、約20ないし約80nmのファセットを有する請求項1記載のプロセス。

【発明の詳細な説明】**【0001】**

【本発明の分野】 本発明は集積回路デバイスの作製に係る。

【0002】

【関連技術の記述】 回路をより集積化しようとする絶え

ない要望により、寸法は永遠に縮小し、回路上のデバイス間隔が縮小していくことが要求されている。フィールド酸化物やトレンチ酸化物を用いるといった多くのデバイスを電氣的に分離する現在の方法は、常に十分ではない。1つの広く用いられているフィールド酸化物分離技術は、シリコンの局所酸化(LOCOS)である。LOCOSにおいて、酸化障壁(典型的な場合、シリコン窒化物)が、能動デバイスを形成すべき基板上の位置の上に、形成される。次に、マスクされない領域に二酸化シリコンを形成するために、基板は酸化され、シリコン酸化物は能動シリコン領域を、分離する。

【0003】 しかし、LOCOSはいくつかの限界をもつ。二酸化シリコンは一般に、障壁層の下に成長し(バースピークとして知られるものを形成する)、それにより能動領域中に侵入する。典型的な場合、侵入により、デバイス間に必要な間隔が増し、従ってより高いデバイス密度を得るためには、有害である。より薄い酸化物層を形成することにより、バースピークを制限しようとする試みにより、一般的に分離閾値電圧は所望の値より下る。加えて、LOCOSはIC表面に望ましくない凹凸を生じる可能性がある。二酸化シリコン分子はシリコン原子より大きいため、二酸化シリコンは酸化物が形成されるシリコンより、必然的により大きな体積を占める。従って、二酸化シリコンは隣接したシリコン能動領域の表面上に上昇し、段差を形成する。これらの段差により、リソグラフィ及びエッチング工程の両方が複雑になることにより、ゲート構造を形成するプロセスに、問題が生じる。段差はまた、導電層の信頼性に影響を与える。更に、段差の高さがサブミクロン・リソグラフィプロセスに許容できる高さを越える可能性があり、段差がその後のプロセス工程の妨げになることがある。

【0004】 LOCOSの問題のいくつかを避けるより最近の分離技術は、浅いトレンチ分離(STI)である。STIはシリコン基板の表面中に溝を形成し、熱形成又は体積二酸化シリコンのようなシリコン酸化物で溝を満たすことを含む。STIは比較的厚い分離酸化物を形成することができ、それは基板中に延び、能動領域中にほとんど又は全く侵入せず、それは隣接した領域と比較的同一面の上部表面を有する。従って、STIにより分離は改善され、充填密度は増し、LOCOSより平坦性は良くなる。それらの全てが、デバイス密度を上げるのに寄与する。

【0005】 しかし、STIにもいくつかの問題がある。半導体デバイスが溝の鋭い角に隣接するため、一般に寄生漏れ電流路が生じる。その効果は図1に示されており、この図はシリコン基板(10)、トレンチ分離(12)、ゲート酸化物層(14)及びゲート層(16)を示す。角(20)付近でゲート電界が増すため、たとえば角(20)のような鋭い溝の角に沿って、トランジスタの長さを横切って、寄生漏れ電流路が生じる。

プロセスにより、溝の角が鋭くなり、あるいは角付近のゲート誘電体が薄くなって、しばしばこの問題が助長される。漏れはゲート層(16)が溝(12)の中に延びる所で増し、ゲートラップアラウンド(18)として知られるものが形成され、そのようなラップアラウンド

(18)は典型的な場合、デバイス作製に用いられる湿式エッチ工程により、形成される。これらの問題のいくつかの解が、提案されている。米国特許第5,521,422号及び第5,433,794号は、溝材料周囲の空間の使用を、明らかにしている。間隔により、ゲートラップアラウンド(18)と溝材料の最上部表面に沿った鋭い角(20)の効果の両方が減少する。米国特許第5,387,540号は溝材料の最上部表面角付近のゲート誘電体の厚さを増すため、溝材料上に二酸化シリコン層を形成することを、明らかにしている。このように、これらの特許の発明者は、鋭い角(20)を補償する方法を探し、それらを除く方法を探したのではない。

【0006】漏れ電流に対する溝材料がゲート酸化物の下面に会う領域における鋭い角、すなわち角(20)の影響について、研究されている。たとえば、ガイスラ(Geissler)ら、“狭く深いサブミクロンデバイスにおける新しい三次元MOSFETゲート誘導ドレイン漏れ効果”,アイ・イー・ディー・エム・テクニカル・ダイジェスト(IEDM Tech. Dig.)1991,839頁;ワタナベ(Watanabe)ら、“高信頼性フラッシュメモリのための応力誘導トンネル酸化物漏れ電流減少用に、角を丸くした浅い溝分離技術”,アイ・イー・ディー・エム・テクニカル・ダイジェスト(IEDM Tech. Dig.)1996,833頁;及びチャタリー(Chatterjee)ら、“0.25/0.18 μ m CMOS技術及びそれを越える技術のための角効果を防止するLOCOS端を用いた浅い溝分離”,アイ・イー・ディー・エム・テクニカル・ダイジェスト(IEDM Tech. Dig.)1996,829頁を参照のこと。しかし、丸くした角の有効な効果についての計算は、これらの文献で行われているが、チャタリー(Chatterjee)の試みのような、実際に角に丸める試みは、不十分である。

【0007】具体的には、図1に示されるように、チャタリー(Chatterjee)らの方法は、シリコン基板(21)上への窒化物障壁領域(22)の形成;LOCOSによる酸化物領域(23)の形成;酸化物領域(23)の除去;窒化物領域(22)周囲にスペーサ(24)を形成するための二酸化シリコンの形成;スペーサ(24)のエッチング及びSTIのための溝(24)のエッチング(図1)を含む。この複雑な方法は、単純で、価格的に効率のよいプロセスが望ましいほとんどの商業用途には、適さない。複雑なLOCOS/STI組合せを含む同様の方法が、米国特許第5,468,676号に明らかにされているが、この特許は鋭い角

(20)の効果に関連する溝側壁漏れの問題について述べている。チャタリー(Chatterjee)らの先の文献、“0.25/0.18 μ m CMOS技術及びそれを越える技術のための浅い溝分離”,1996アイ・イー・ディー・エム・シンポジウム・オン・ブイエスアイ・テクノロジーズ(IEEE Symposium on VLSI Technologies),ダイジェスト・オブ・テクニカル・ペーパーズ(Digest of Technical Papers)も、STIプロセスについて、述べている。この先のチャタリー(Chatterjee)らの文献は、エッチングされた溝を、二酸化シリコンで満たす前に、900℃で熱酸化する工程を、述べている。しかし、この先の文献は、鋭い角(20)の問題を解決する方法を認識してはおらず、少量の丸みを生じる方法が明らかになっており、それは角の問題を減すか除くには、不十分である。チャタリー(Chatterjee)の後の文献は、角(20)の有害な鋭い角の効果避ける方法について、具体的に述べており、複雑なLOCOS/STIの組合せと900℃における熱酸化の両方を行わなければ成らない。(後の文献の節IIを参照のこと)

【0008】このように、鋭いシリコン角(20)に付随した問題は認識されているが、その解決は鋭い角(20)を補償することに、焦点を絞っている。鋭いシリコン角(20)の問題の単純な解決法が、望まれている。

【0009】

【本発明の要約】比較的簡単な方式で、STI構造中の問題の多い鋭い角を丸めることが可能であることがわかった。具体的には、能動領域のシリコンの角は、溝酸化物がシリコン基板上に直接配置された歪解放又は他の領域の下面に会う点で、単一の酸化工程で所望のように、丸められる。鋭い角により生じる問題を本質的に減す丸みの大きさは、基本的にゲートラップアラウンドの量に依存して、変化する。本発明の酸化工程により、約30ないし約80nmの曲率半径が得られ、有利である。酸化工程は何もないシリコンウエハ上に約50nmないし約150nm厚の二酸化シリコン層が形成されるような雰囲気、時間及び温度で行うと有利である。(これ以後、等価酸化物層とよぶ。)酸化温度の範囲は、約950℃ないし約1100℃で、この範囲の下端は湿式酸化(すなわち水蒸気が存在)でより有用で、上端は乾式酸化に有用である。酸化温度は選択された等価酸化物層を得るのに必要な時間に影響を及ぼし、丸みの程度は等価酸化物の厚さ及び酸化物障壁領域の厚さとともに、温度に大きく依存する。

【0010】図2A-2Eに示されるように、本発明のプロセスの一実施例は、シリコン基板(30)上への応力解放領域(32)、たとえばパッド酸化物の形成工程、応力解放領域(32)上への酸化障壁領域(34)、たとえばシリコン窒化物の形成工程、応力解放領

域(32)及び酸化障壁領域(34)中の開孔形成工程、開孔におけるシリコン基板(30)中の溝(36)の形成工程、溝(36)中への誘電体材料(38)、典型的な場合、二酸化シリコンの堆積、必要に応じて誘電体溝材料(38)を平坦化する工程とその後の酸化工程を含む。(誘電体材料は電気的に絶縁性の材料、すなわち約 $10^6 \Omega \cdot \text{cm}$ 又はそれ以上の抵抗率をもつ材料である。)

【0011】図2G及び2Hに示されるように、デバイス形成用に基板を準備するため、酸化障壁及び応力解放領域は典型的な場合除かれ、シリコン基板(30)の能動領域上にゲート酸化物(42)が形成される。ゲート酸化物(42)を形成したら、酸化により生じた丸みが残る。それにより、本発明によって、漏れ電流及び他の有害な角の効果を生じる鋭い角が減少又は除去される。

【0012】

【本発明の詳細な記述】デバイス作製の一般的な原理及び標準的なプロセスは、たとえばファン・ツァント(Van Zant)、“マイクロチップ作製”第3版、マグローヒル(McGraw-Hill)1997、に見出される。本発明の一実施例が、図2A-2Hに示されている。応力解放領域(32)が、シリコン基板(30)上に形成される。応力解放領域(32)は典型的な場合、二酸化シリコンで、当業者にはパッド酸化物として知られている。領域(32)は典型的な場合、当業者には周知の標準的な技術、たとえば熱酸化により、層として形成され、もしシリコン窒化物のような酸化障壁領域(34)が、シリコン基板(30)上に直接形成されたら通常存在する欠陥を防止するために、基本的に用いられる。応力解放領域は常に必要というのではない。他の材料をシリコン基板(30)上に、直接堆積させることが可能である。二酸化シリコンで形成した場合、応力解放領域(32)は典型的な場合、約5ないし約30nmの厚さである。

【0013】酸化障壁領域(34)が応力解放領域(32)上に、典型的な場合直接形成される。酸化障壁領域(34)は典型的な場合、シリコン窒化物で、当業者には周知の標準的な技術、たとえば化学気相堆積により、層として形成される。シリコン窒化物で形成された時、領域(34)は典型的な場合約60nmないし約250nmの厚さである。酸化障壁領域(34)はその後の処理の間に、下のシリコンが酸化されるのを防止する。

【0014】図2Bに示されるように、標準的なリソグラフィ技術又は当業者に周知の他の技術を用いて、開孔又は間隙が酸化障壁領域(34)中に規定され、酸化障壁領域(34)及び応力解放領域(32)が、規定された開孔で除去される。間隙幅は特定のデバイスに依存して変わるが、シリコン基板(30)の最上部表面で測定した幅は、典型的な場合約0.1ないし約1000 μm である。1000 μm 幅以上の間隙も可能である。層と

して領域(32, 34)を形成し、次に層のある領域を取り除くのは異なり、シリコン基板(30)の特定の部分上に、応力解放及び酸化障壁領域(32, 34)を選択的に形成することが、可能である。一度間隙が形成されると、当業者には周知の標準的な技術を用いて、シリコン基板(30)中に溝(36)がエッチングされる。典型的な場合、溝はシリコン基板(30)の最上部表面から測定して、約200ないし約1000nmの深さである。溝(36)をエッチングするプロセスにより、溝の壁に沿って、シリコン格子中に転移のようなある種の欠陥が生じ、この損傷をある程度回復させるため、溝の壁を酸化し、熱ライナ(図示されていない)として知られるものを形成することが、可能である。熱ライナは例えば、約900ないし約1100 $^{\circ}\text{C}$ の温度に、100%酸素(乾燥)の雰囲気中で、約20ないし約40nmのライナ厚が生じるのに十分な時間加熱することにより、形成される。

【0015】一度溝(36)が形成されたら(加えて、必要に応じて熱ライナが形成されたら)、二酸化シリコン(38)を典型的な場合、図2Cに示されるように、溝(36)が満たされるように、堆積させる。溝(36)中に他の誘電体材料を堆積させることは可能であるが、溝材料はシリコン酸化物を含むと有利である。二酸化シリコン(38)は典型的な場合、化学気相堆積(CVD)又は当業者には周知の他の標準的な技術により、形成される。平坦な表面を作るため、溝(36)をシリコン酸化物(38)で満たす時、平坦化工程、たとえば化学機械研磨又は他の標準的な技術が行われる。酸化障壁領域(34)は典型的な場合、平坦化停止として働く。溝材料を比較的平坦で様な表面にする平坦化は、その後の酸化工程中、比較的一様な酸化を行うのに有用である。それにより、プロセスの望ましい制御ができる。図2Dはそのような平坦化の後の溝のプロフィールを示す。

【0016】一度溝(36)が満たされ平坦化されたら、酸化工程が行われる。図2Eに示されるように、酸化は溝二酸化シリコン(38)がパッド酸化物(32)に会う領域で、シリコンの角が丸くなるように行われる。酸素は溝に酸化シリコンを貫いて拡散し、角に達する。典型的な場合、酸化工程は溝(36)に沿ったシリコンも酸化し、上述の熱ライナと同様の層が形成される。この理由により、溝(36)の形成後、熱ライナを形成する工程を省くことが可能である。酸化工程はまた、典型的な場合、溝シリコン酸化物(38)を高密度化する。酸化工程は約50nmないし約150nm厚の等価酸化物層を形成する雰囲気、時間及び温度で行うと有利である。酸化工程の有利な温度範囲は、約950 $^{\circ}\text{C}$ ないし約1100 $^{\circ}\text{C}$ で、この範囲の下端は湿式酸化でより有利で、上端は乾式酸化に有利である。約950 $^{\circ}\text{C}$ における湿式酸化は、典型的な場合より高温での乾式酸化

より速いか、デバイスの能動領域にアンモニア欠陥を導入する可能性がある。99%酸素及び1%ジクロロエチレンの雰囲気、酸化工程に有用であることがわかっていて、他の酸素を含む雰囲気も考えられる。

【0017】約950℃の温度において、溝シリコン酸化物(38)がパッド酸化物(32)に会う領域におけるシリコン角は、典型的な場合酸化を始め、平坦な表面をもつ1ないし複数の領域が形成されるが、端部は丸くなる。すなわち曲率半径 r をもつには、一般により高温が必要である。図2Fはそのような平坦な領域が曲率半径 r をもつ丸い角と、全体のファセット寸法 f をもつように転換する様子を近接した図で示す。曲率半径 r は約30ないし約80nm、全体のファセット寸法 f は約20ないし約80nmが有利である。ファセット及び丸みの程度は、主に酸化温度、等価酸化物層及び酸化障壁領域の厚さの組合せに依存する。たとえば、より厚い酸化障壁領域は典型的な場合、領域の下の二酸化シリコンのバズピーク成長を妨げ、より長い時間又はより高い温度、すなわちより厚い等価酸化物層が、所望の丸みを得るために、必要とされる。酸化工程に続いてファセット寸法が決まるモデルが、以下の例1で示される。ファセット全体 f 内の角境界の少なくとも30%の部分が、数ナノメートルの範囲内で半径 r をもつ単一の円の縁に整合した時、角は丸くなると考えられる。

【0018】酸化工程後、酸化障壁領域(34)の残った部分及び応力解放領域は、典型的な場合除去され、図2Gに示されるように、溝二酸化シリコン(38)により分離されたシリコン能動領域(40)が形成される。たとえばCMOSデバイスといったデバイスの形成において、図2Hに示されるように、当業者には周知の標準的な方法で、ゲート酸化物(42)が能動領域上に形成される。酸化工程で生じた丸みは残り、その後形成されるデバイス中の漏れ電流の原因になる鋭い角は、減少す

る。溝の丸くなった角によって、以下の例2で示されるように、特に、酸化工程を行わないトランジスタより、高い閾値電圧と低い遮断電流を示すトランジスタが形成される。本発明については、以下の例により、更に明確になるであろう。それらは例を示すことを意図したものである。

【0019】

【例1】溝二酸化シリコンがパッド酸化物に会う領域におけるシリコン角の丸みに効果をもつ各種のパラメータについて、探究した。各試料は、以下のように形成した。熱酸化により、シリコン基板上に二酸化シリコン(パッド酸化物)領域を形成した。パッド酸化物領域は、各試料で30nmの厚さを有した。以下で示す各種の厚さをもつシリコン窒化物領域を、化学気相堆積によりパッド酸化物領域上に形成した。表Iに示された幅の間隙を、従来の方法でパッド酸化物及びシリコン窒化物領域中にエッチングした。間隙をエッチングした後、従来の方法でシリコン基板中に、溝をエッチングした。溝は各試料でシリコン基板の最上部表面から測定して、300nmの深さを有した。製品を1000℃に15分間加熱することにより、約36nm厚の熱ライナを形成した。次に、溝は高密度プラズマ促進化学気相堆積により、シリコン窒化物の最上部表面上約600nmの高さまで、二酸化シリコンで満たした。溝二酸化シリコンを研磨停止として働くシリコン窒化物の最上部表面の高さまで平坦化するため、化学機械研磨をした。次に、表Iに示される雰囲気(湿式又は乾式)、温度、等価酸化物及び時間で、酸化工程を行った。溝プロフィルの電子顕微鏡写真(図3-14)をとった。(図14上に印刷された温度情報は正しくないで、1100℃と読む必要がある。)

【0020】

【表1】

表 I

図番号	雰囲気	温度(℃)	等価酸化物	時間	酸化物厚(nm)	曲率半径(nm)*	間隙(μm)
3	乾燥	1100	150	55分	110	60	2
4	乾燥	1100	150	55分	110	60	0.5
5 (比較用)	酸化なし	酸化なし	酸化なし	酸化なし	150	**	0.5
6	湿式	950	150	35分	80	***	0.5
7	乾燥	1000	150	4時間	70	35	0.5
8	乾燥	1100	150	55分	80	70	0.5
9	乾燥	1100	150	55分	50	80	0.5
10	乾燥	1100	150	55分	90	60	0.5
11	乾燥	1100	150	55分	130	40	0.5
12	乾燥	1100	150	55分	190	35	0.5
13	乾燥	1100	50	5分	65	30	0.5
14	乾燥	1100	100	25分	60	50	0.5

* 値は約±5 nmの誤差を含む

** 丸みはつけてない

*** ファセットのみ観測された

【0021】図3、4及び6-14は本発明により形成された各種の丸みの度合いを示す。加えて、図5は酸化工程が省かれた比較例の溝プロフィールを示す。図5から、熱ライナの形成工程は、溝シリコン酸化物がパッド酸化物に会うシリコン角に対しては、非常に小さな効果しかもたないことが明らかである。具体的には、熱ライナの形成により、典型的な場合、約10 nmの最初のファセットが生じることがわかった。

【0022】分析した試料から、酸化工程から形成されたファセット寸法(図2Fのf)について、モデルを作った。ファセットは d_{barrier} すなわち酸化障壁領域の厚さ及び d_{oxid} に比例する。 d_{oxid} は(1)距離 d すなわち溝酸化物の表面から、丸くすべき角まで、酸素が拡散しなければならない距離及び(2)プロセスの熱的条件(たとえば時間及び温度)の関数である。与えられた d 及び熱処理に対し、シリコン基板上の厚さ d の二酸化シリコン層に対する具体的な熱処理の既知の効果から、 d_{oxid} を決ることが可能である。具体的には、二酸化シリコン層が最初ある厚さをもつ場合、ある熱処理により、具体的な厚さが増す。(二酸化シリコン成長と熱処理の間のそのような関係については、たとえば、VLSI技術、エス・シー(S. Sze)編、マグローヒル、1983で得られる。)モデルのために、酸化障壁領域の厚さと、応力解放領域の厚さの和は、最初の二酸化シリコン厚 d として用いられ、特定の熱処理から生じ

たより大きな厚さは、 d_{oxid} として、モデル中に入れられる。

【0023】これらの変数を用いて、酸化工程により生じたファセット寸法 F は、以下のように表わされることがわかった。

$$F = (\text{全ファセット}(f) - \text{最初の} 10 \text{ nmファセット}) \propto (d_{\text{oxid}})^a (d_{\text{barrier}})^{-b}$$

(最初のファセット寸法10 nmは、熱ライナ酸化から生じる。)30 nmの二酸化シリコン応力解放領域及び400 nmの溝間隔の場合、上の試料について(与えられた温度における)見出された最善のフィッティングが、変数 X の関数として、図15に示されている。ここで、

$$X = (d_{\text{oxid}})^{0.75} (d_{\text{barrier}})^{-0.35}$$

である。具体的には、1100及び1000℃の乾式酸化の場合、モデルによると、それぞれ $F = 8.28 X^{1.00}$ 及び $F = 4.58 X^{1.01}$ である。950℃における湿式酸化の場合、モデルによると、 $F = 2.03 X^{1.09}$ である。

【0024】例2本発明の酸化工程を伴って作製したトランジスタ及び伴わずに作製したトランジスタの電気的特性を、比較した。トランジスタは当業者には周知の従来のCMOS作製プロセスにより、作製した。本発明の酸化工程を伴って作製したトランジスタ及び伴わずに作製したトランジスタの両方の場合について、以下のプロ

セス工程を行った。シリコン基板上に熱酸化により、二酸化シリコン（パッド酸化物）領域を、形成した。パッド酸化物領域は、30 nmの厚さを有した。約117 nmの厚さを有するシリコン窒化物領域を、化学気相堆積により、パッド酸化物領域上に形成した。従来の方法により、パッド酸化物及びシリコン窒化物領域中に、約10 μm 又はそれ以上の間隙をエッチングした。間隙をエッチングした後、従来の方法により、シリコン基板中に溝をエッチングした。溝はシリコン基板の最上部表面から測定して、300 nmの深さを有した。製品を1000℃に15分間加熱することにより、約36 nm厚の熱ライナを形成した。次に、高密度プラズマ促進化学気相堆積により、シリコン窒化物の最上部表面上約600 nmの高さまで、溝を二酸化シリコンで満たした。研磨停止として働くシリコン窒化物の最上部表面の高さまで、溝二酸化シリコンを平坦化するため、化学機械研磨を行った。角に丸みをつける酸化が望ましい場合、酸化工程は150 nmの等価酸化物を形成するのに十分な時間、1100℃の温度で行った。

【0025】図16は5 μm の長さをもつトランジスタについてのトランジスタ幅に対する n -接合閾値電圧（ $N-V_t$ ）のプロットである。本発明の角に丸みをもたせる酸化工程で作製されたトランジスタは、小さなチャネル幅であっても、逆狭チャネル効果（上で引用したチャタリー（Chatterjee）らの“0.25/0.18 μm CMOS技術及びそれを越える技術のための角効果を防止するLOCOS端を用いた浅い溝分離”の中で述べられているように、当業者には狭幅効果として知られる）は示されなかった。酸化工程を用いずに作られたトランジスタは、より小さな幅（たとえば1 μm 以下）において、明らかにある程度の逆狭チャネル効果を示した。従って、酸化工程中起こった角の丸みにより、小さな幅のトランジスタにおける逆狭チャネル効果を誘発する角効果がとり除かれた。

【0026】この結果は更に、図17に示されている。トランジスタは5 μm の長さで0.4 μm の幅を有した。図15に示されているように、酸化工程を行ったトランジスタは、より高い閾値電圧及びより低い遮断電流を示し、望ましい特性を有した。（ V_G はゲート電圧； I_D はドレイン電流； V_{BG} はバックゲート電圧である。）

【0027】ここで述べた本発明の詳細及び実施例を考えると、当業者には本発明の他の実施例が、明らかになるであろう。

【図面の簡単な説明】

【図1】従来の浅い溝分離プロセスを示す図である。

【図2A】本発明の一実施例の工程を示す図である。

【図2B】本発明の一実施例の工程を示す図である。

【図2C】本発明の一実施例の工程を示す図である。

【図2D】本発明の一実施例の工程を示す図である。

【図2E】本発明の一実施例の工程を示す図である。

【図2F】本発明の一実施例の工程を示す図である。

【図2G】本発明の一実施例の工程を示す図である。

【図2H】本発明の一実施例の工程を示す図である。

【図3】本発明のプロセスに従って作られた溝構造及び比較する構造の走査顕微鏡像を示す図である。

【図4】本発明のプロセスに従って作られた溝構造及び比較する構造の走査顕微鏡像を示す図である。

【図5】本発明のプロセスに従って作られた溝構造及び比較する構造の走査顕微鏡像を示す図である。

【図6】本発明のプロセスに従って作られた溝構造及び比較する構造の走査顕微鏡像を示す図である。

【図7】本発明のプロセスに従って作られた溝構造及び比較する構造の走査顕微鏡像を示す図である。

【図8】本発明のプロセスに従って作られた溝構造及び比較する構造の走査顕微鏡像を示す図である。

【図9】本発明のプロセスに従って作られた溝構造及び比較する構造の走査顕微鏡像を示す図である。

【図10】本発明のプロセスに従って作られた溝構造及び比較する構造の走査顕微鏡像を示す図である。

【図11】本発明のプロセスに従って作られた溝構造及び比較する構造の走査顕微鏡像を示す図である。

【図12】本発明のプロセスに従って作られた溝構造及び比較する構造の走査顕微鏡像を示す図である。

【図13】本発明のプロセスに従って作られた溝構造及び比較する構造の走査顕微鏡像を示す図である。

【図14】本発明のプロセスに従って作られた溝構造及び比較する構造の走査顕微鏡像を示す図である。

【図15】酸化工程により生じるファセット寸法を決めるモデルを示す図である。

【図16】本発明の酸化工程によって作られたトランジスタ及びそれによらないトランジスタのトランジスタ幅と閾値電圧の関係を示す図である。

【図17】本発明の酸化工程によって作られたトランジスタ及びそれによらないトランジスタのゲート電圧とドレイン電流の関係を示す図である。

【符号の説明】

- 10 シリコン基板
- 12 トレンチ分離
- 14 ゲート酸化物層
- 16 ゲート層
- 18 ゲートラップアラウンド、ラップアラウンド
- 20 角
- 21 シリコン基板
- 22 障壁領域
- 23 酸化物領域
- 24 スペーサ、溝
- 30 シリコン基板
- 32 応力解放領域、領域
- 34 酸化障壁領域

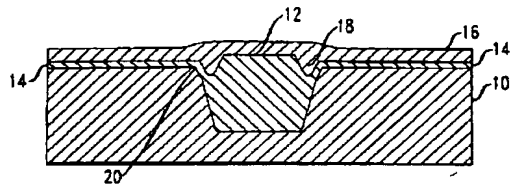
36 溝

38 誘電体溝材料、シリコン酸化物、溝二酸化シリコン

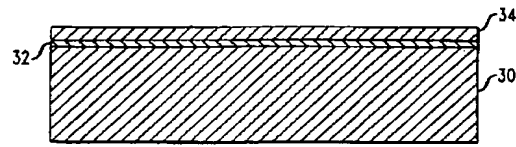
40 能動領域

42 ゲート酸化物

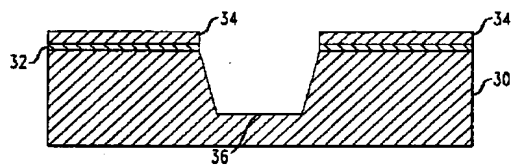
【図1】



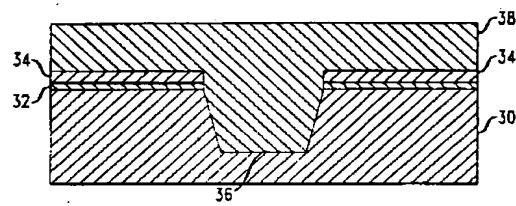
【図2A】



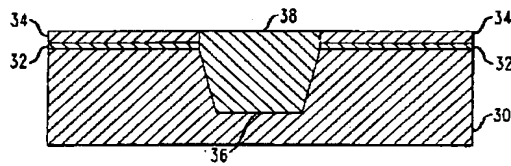
【図2B】



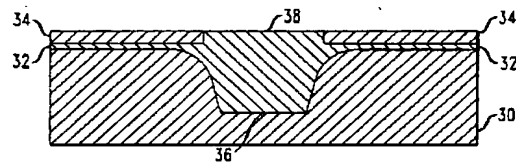
【図2C】



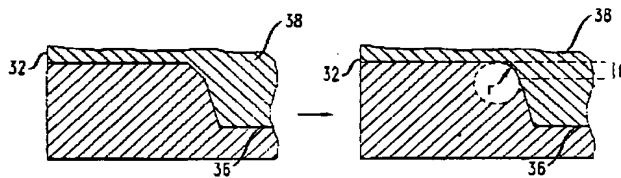
【図2D】



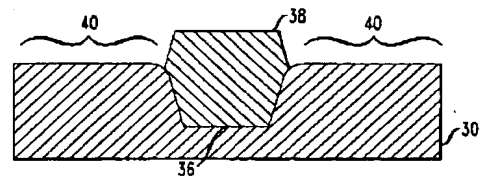
【図2E】



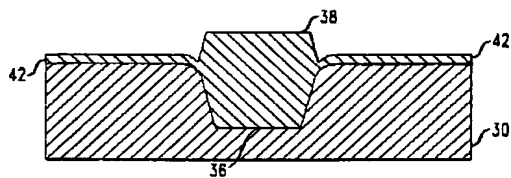
【図2F】



【図2G】



【図2H】



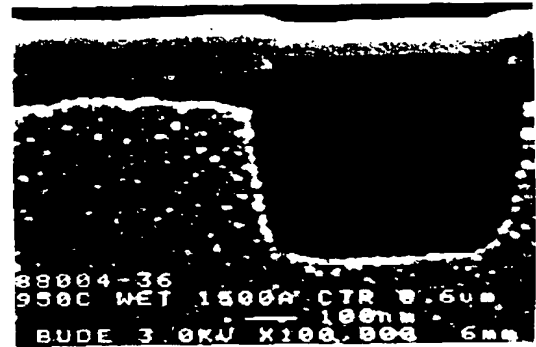
【図5】



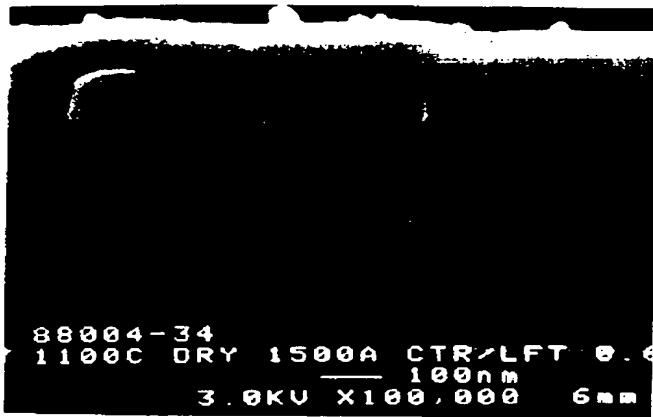
【図3】



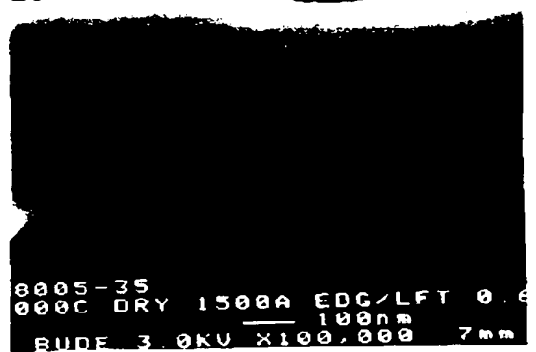
【図6】



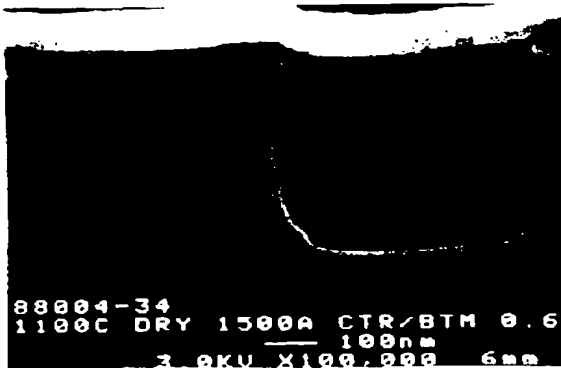
【図4】



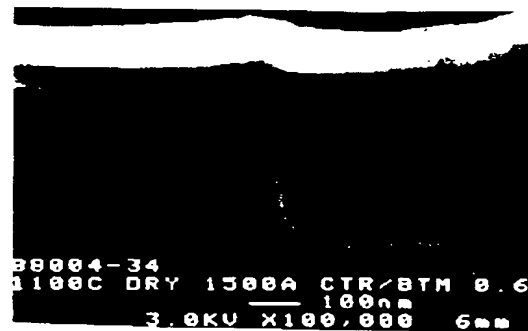
【図7】



【図8】



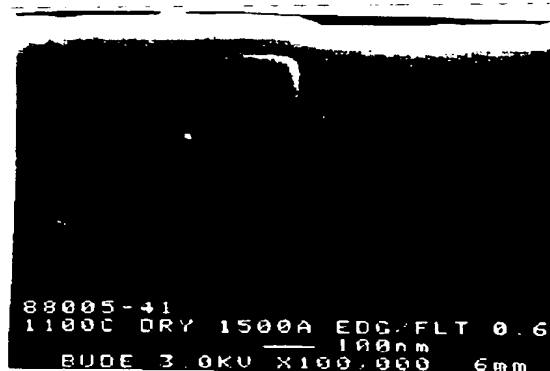
【図9】



【図10】



【図11】



【図12】



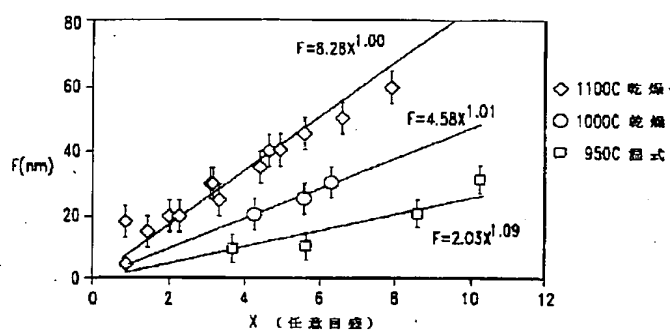
【図13】



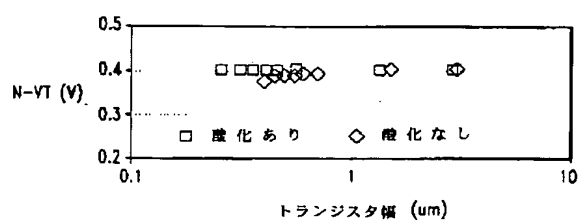
【図14】



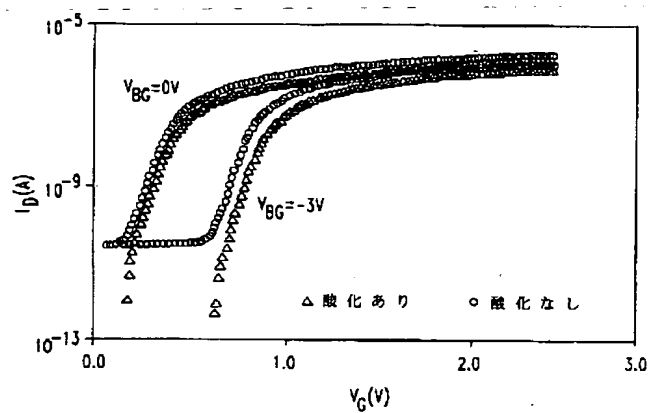
【図15】



【図16】



【図 17】



フロントページの続き

(72) 発明者 チェンーシン パイ
 アメリカ合衆国 08807 ニュージャージー
 イ, ブリッジウォーター, マックナビ コ
 ート 5